

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: NEW Group Art Unit: Unknown
Filing Date: March 15, 2004 Examiner: Unknown
Applicants: Sung-Woo LEE et al. Conf. No.: Unknown
Title: SEMICONDUCTOR TESTER COUPLING ARRANGEMENT
AND ELECTRICAL TESTING METHOD THEREOF

PRIORITY LETTER

March 15, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:


Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

| <u>Application No.</u> | <u>Date Filed</u> | <u>Country</u> |
|-------------------------------|--------------------------|-----------------------|
| 10-2003-0016300 | March 15, 2003 | Korea |

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
Thomas S. Auchterlonie, Reg. No. 37,275

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0016300
Application Number

출원 년 월 일 : 2003년 03월 15일
Date of Application MAR 15, 2003

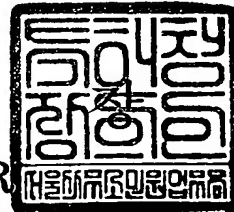
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 15 일

특 허 청

COMMISSIONER





1020030016300

출력 일자: 2003/10/21

【서지사항】

| | |
|-------------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0020 |
| 【제출일자】 | 2003.03.15 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 디 .유.티(DUT) 보드의 소요를 줄일 수 있는 반도체 테스터 및 이를 이용한 반도체 소자의 전기적 검사방법. |
| 【발명의 영문명칭】 | Semiconductor Tester capable of decreasing a DUT board quantity and electrical testing method thereof |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 2003-003435-0 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 2003-003437-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 이성우 |
| 【성명의 영문표기】 | LEE,Sung Woo |
| 【주민등록번호】 | 640415-1478516 |
| 【우편번호】 | 330-210 |
| 【주소】 | 충청남도 천안시 두정동 대우그린아파트 108-1903 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 최득순 |
| 【성명의 영문표기】 | CHOI,Duk Soon |
| 【주민등록번호】 | 770505-1816617 |



1020030016300

출력 일자: 2003/10/21

| | |
|------------|--|
| 【우편번호】 | 336-850 |
| 【주소】 | 충청남도 아산시 배방면 구령리 태성빌라 103-103 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 윤재홍 |
| 【성명의 영문표기】 | YUN, Jae Hong |
| 【주민등록번호】 | 591107-1644218 |
| 【우편번호】 | 449-846 |
| 【주소】 | 경기도 용인시 수지읍 풍덕천리 1167번지 진산마을 삼성5차아파트 52 0-1604 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 김인철 |
| 【성명의 영문표기】 | KIM, In Cheol |
| 【주민등록번호】 | 620418-1041616 |
| 【우편번호】 | 330-090 |
| 【주소】 | 충청남도 천안시 쌍용동 848 일성1차아파트 101-302 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 8 면 8,000 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 14 항 557,000 원 |
| 【합계】 | 594,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

테스터 제조업체 및 모델형(model)이 서로 다르더라도 동일 제품의 반도체 소자를 테스터에서 전기적으로 검사할 때에는 동일한 DUT(Device Under Test) 보드를 사용할 수 있는 반도체 테스터 및 이를 이용한 반도체 소자의 전기적 검사방법에 관해 개시한다. 이를 위해 본 발명의 서로 다른 제조업체에 의해 만들어진 테스터 헤드에 혼합형 마더 보드를 장착하고 그 위에 공용으로 사용될 수 있는 DUT 보드를 장착한다. 따라서, 종래에는 테스터의 모델형이 다르면 동일 제품의 반도체 소자를 검사하기 위하여 각각의 테스터 모델별로 다른 형태의 DUT 보드를 사용하였으나, 본 발명에 의하면 동일한 공통형의 DUT 보드를 사용할 수 있다.

【대표도】

도 6

【명세서】

【발명의 명칭】

디.유.티(DUT) 보드의 소요를 줄일 수 있는 반도체 테스터 및 이를 이용한 반도체 소자의 전기적 검사방법.{Semiconductor Tester capable of decreasing a DUT board quantity and electrical testing method thereof}

【도면의 간단한 설명】

도 1은 일반적인 믹스드 신호 처리용(Mixed signal processing) 반도체 소자를 전기적으로 검사하기 위한 테스터의 블록도이다.

도 2는 A사에서 만들어진 테스터에 사용되는 로드 보드(load board)의 평면도이다.

도 3는 B사에서 만들어진 테스터에 사용되는 로드 보드의 평면도이다.

도 4는 C사에서 만들어진 테스터에 사용되는 로드 보드의 평면도이다.

도 5는 본 발명에 의한 믹스드 신호 처리용 반도체 소자를 전기적으로 검사하기 위한 테스터의 블록도이다.

도 6은 본 발명에 따라 서로 다른 제조업체에 의해 만들어진 다른 모델형 테스터에 공용으로 사용 가능한 로드 보드의 블록도이다.

도 7은 상기 도 6의 개략적인 단면도이다.

도 8은 상기 도 7에서 락킹 유닛을 설명하기 위한 확대 단면도이다.

도 9는 본 발명에 의한 로드 보드에서 혼합형 마더 보드의 개념을 설명하기 위해 도시한 평면도이다.

도 10 및 도 11은 본 발명에 의한 혼합형 마더 보드의 평면도 및 밑면도이다.

도 12 및 도 13은 본 발명에 의한 DUT 보드의 평면도 및 밑면도이다.

도 14는 본 발명에 의한 DUT 보드에 사용되는 릴레이(relay)를 설명하기 위해 도시한 사시도이다.

도 15는 본 발명에 따라 혼합 마더 보드 위에 DUT 보드가 탑재되었을 때의 평면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 소자를 전기적으로 검사할 수 있는 테스터 및 이를 이용한 전기적 검사방법에 관한 것으로, 더욱 상세하게는 믹스드 신호 처리용 테스터 및 이를 이용한 반도체 소자의 전기적 검사방법에 관한 것이다.
- <15> 모든 반도체 소자는 웨이퍼 상태 혹은 반도체 패키지 상태로 제조가 완료된 후, 그 전기적 기능을 테스터(tester)를 사용하여 검사하게 된다. 이때, 검사될 반도체 소자는 그 내부에서 취급하는 전기적 신호의 종류에 따라서 크게 세 가지로 구분되는데, 디지털 신호 반도체 소자, 아날로그 신호 반도체 소자 및 믹스드 신호(mixed signal) 처리용 반도체 소자가 그것이다.
- <16> 상기 세 종류의 반도체 소자는 내부에서 취급하는 신호의 종류가 다르기 때문에, 이를 전기적으로 검사하는 테스터(tester) 역시 세 가지 종류로 구분된다.

따라서, 디지털 신호만을 취급하는 반도체 소자는 디지털 신호 처리용 테스터에서 전기적 검사를 실시하고, 아날로그 신호만을 취급하는 반도체 소자는 아날로그 신호 처리용 테스터에서 전기적 검사를 실시하고, 디지털 신호와 아날로그 신호를 함께 취급하는 믹스드 신호 처리용 반도체 소자는 믹스드 신호 처리용 테스터에서 그 전기적 검사를 실시한다.

<17> 도 1은 일반적인 믹스드 신호 처리용(Mixed signal processing) 반도체 소자를 전기적으로 검사하기 위한 테스터의 블록도이다.

<18> 도 1을 참조하면, 일반적인 믹스드 신호 처리용 테스터의 구조는, 테스터 본체(10)와 신호 케이블(12)를 통해 연결된 테스트 헤드(14)로 이루어진다. 상기 테스트 헤드(14)에는 로드 보드 연결부(16)가 있고, 상기 로드 보드 연결부(16) 위에 로드 보드(18)가 탑재된다. 따라서 상기 로드 보드(18)는 상기 로드 보드(18) 위에 존재하는 소켓(미도시)에 탑재된 DUT(Device Under Test)와 테스터 본체(10)를 서로 인터페이스(interface)시켜 DUT, 즉 믹스드 신호를 취급하는 반도체 소자에 대한 전기적 검사를 수행한다.

<19> 여기서, 로드 보드(load board)란, 각각의 반도체 소자의 특성을 전기적으로 검사하기 위한 도구로써, 인쇄회로기판 형태의 보드에 특정 반도체 소자의 적용(application) 회로를 구현하여 특정 반도체 소자의 전기적 기능에 대한 양품과 불량품을 선별하는데 쓰인다. 이때 로드 보드는 테스터(tester)와 DUT의 인터페이스 역할을 수행한다. 통상적으로 상기 로드 보드는 피검사되는 반도체 소자별, 테스터 모델별로 각각 그 형태의 로드 보드가 사용된다.

<20> 한편, 세계적인 반도체 소자 제조업체는 한가지 종류의 믹스드 신호 처리용 테스터만을 보유하고 있지 않고, 서로 다른 제조업체에서 만들어진 다른 모델형의 믹스드 신호 처리용 테스터를 보유하고 있다. 이때, 하나의 특정 믹스드 신호 처리용 반도체 소자의 생산이 많아질

경우, 서로 다른 제조업체에서 만들어진 믹스드 신호 처리용 테스터에서 각각 동일 제품의 반도체 소자를 검사하게 된다.

<21> 도 2는 A사에서 만들어진 테스터에 사용되는 로드 보드(load board)의 평면도이고, 도 3은 B사에서 만들어진 테스터에 사용되는 로드 보드의 평면도이고, 도 4는 C사에서 만들어진 테스터에 사용되는 로드 보드의 평면도이다. 여기서, 상기 A사, B사, C사는 믹스드 신호 처리용 반도체 테스터를 만드는 장비 회사를 가리킨다.

<22> 도 2 내지 도 4를 참조하면, 특정 반도체 소자가 동일 제품이라 하더라도, 서로 다른 제조업체에 의해 만들어진 다른 모델형 테스터는 내부 구조가 다르다. 이 때문에 상기 로드 보드(18A, 18B, 18C)의 구조 역시 서로 다를 수밖에 없다. 일반적으로 로드 보드(18A, 18B, 18C)에는 아날로그 채널(analog channel, 25) 및 디지털 채널(digital channel, 27)이 연결부가 있다. 그러나 서로 다른 제조업체에 의해 만들어진 다른 모델형의 테스터에 사용되는 로드 보드(18A, 18B, 18C)는 이들 아날로그 채널(25) 및 디지털 채널(27)의 구조가 서로 호환될 수 없는 구조를 띠고 있다. 따라서, 다른 형태의 로드 보드(18A, 18B, 18C)들이 동일 제품의 반도체 소자를 검사하기 위해 사용되는 문제점이 있다.

<23> 상술한 종래 기술에 의한 로드 보드는 다음과 같은 문제점을 갖고 있다.

<24> 첫째, 한 종류의 반도체 소자를 전기적으로 검사할 때에도 3가지 형태의 로드 보드(18A, 18B, 18C)를 운용해야 하는 문제가 있다.

<25> 둘째, 상기 A사 테스터용 로드 보드(18A)는 크기가 500 X 500mm(가로 X 세로)로서 크고, 상기 B사 테스터용 로드 보드(18B)는 크기가 400 X 400mm(가로 X 세로)로서 중간이고, 상기 C사 테스터용 로드 보드(18C)는 크기가 330 X 330mm(가로 X 세로)로서 비교적 소형이다. 이러한

로드 보드(18A, 18B, 18C)는 인쇄회로기판(PCB: Printed Circuit Board) 형태로 만들어지는데, 인쇄회로기판의 층의 개수 및 그 크기에 따라서 가격이 다르고 일반적으로 상당히 고가이다. 향후, 믹스드 신호 처리용 반도체 소자의 기능이 다기능화되고, 고집적화 되면 될수록, 상기 로드 보드(18A, 18B, 18C)의 가격은 더욱 높아져 로드 보드(18A, 18B, 18C)를 구입하고 운용하는데 많은 비용이 소요되는 문제가 있다.

<26> 셋째, 많은 개수의 로드 보드를 운용해야 하기 때문에 검사 엔지니어(test engineer)의 작업량이 늘어난다. 즉, 여러 종류의 로드 보드에 대한 도면의 설계 및 검토, 이들 도면으로 전문회사에 제작 의뢰하고, 구입하고, 검증(debugging)하는데 많은 노력이 투입되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명이 이루고자 하는 기술적 과제는 한 종류의 반도체 소자에 대해서는 서로 다른 제조업체 혹은 서로 다른 모델형일지라도 동일한 한 종류의 로드 보드를 사용할 수 있는 반도체 테스터를 제공하는데 있다.

<28> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 테스터를 이용한 반도체 소자의 전기적 검사방법을 제공하는데 있다.

【발명의 구성 및 작용】

<29> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 테스터는, 서로 다른 제조업체에 의해 만들어진 다른 모델형의 테스터(tester)들과, 상기 테스터들의 일단에 만들어지고 DUT가 연결되는 통로 역할을 수행하는 테스트 헤드(test head)와, 상기 서로 다른 테스터에서 서로 다른 테스트 헤드(test head)의 구조(configuration)를 하나로 통합할 수 있도록 만들어

진 혼합형 마더 보드(mixed type mother board)와, 상기 서로 다른 테스터에서 각각 동일 반도체 제품을 전기적으로 검사할 때, 테스터의 모델형에 관계없이 상기 혼합형 마더 보드 위에서 공통적으로 사용할 수 있는 DUT(Device Under Test) 보드를 구비한다.

<30> 본 발명의 바람직한 실시예에 의하면, 상기 반도체 테스터는 상기 혼합형 마더 보드에 상기 DUT 보드를 고정시켜 서로를 전기적으로 서로 연결할 수 있는 락킹 유닛(locking units)을 더 구비하는 것이 적합하며, 이러한 전기적 연결은 상기 혼합형 마더 보드에 있는 커넥터(connector)를 통해 이루어지는 것이 적합하다.

<31> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 소자의 전기적 검사방법은, 서로 다른 제조업체에 의해 만들어진 다른 모델형의 테스터를 준비하는 단계와, 상기 서로 다른 모델형의 테스터에서 각각 테스트 헤드의 구조를 하나로 통합할 수 있는 혼합형 마더 보드를 제작하는 단계와, 상기 혼합형 마더 보드에 테스터의 모델형에 관계없이 공통적으로 사용할 수 있는 DUT 보드를 락킹 유닛으로 고정하는 단계와, 상기 서로 다른 테스터에서 동일한 반도체 제품을 한가지 형태의 DUT 보드를 사용하여 전기적으로 검사하는 단계를 구비한다.

<32> 본 발명에 따르면, 서로 다른 제조업체에서 만들어진 다른 모델형 테스터에서도 동일한 로드 보드를 사용할 수 있고, DUT 보드의 크기를 최소화하여 구입 및 운용 비용을 절감할 수 있고, 검사 엔지니어의 작업량을 줄일 수 있다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.

- <34> 본 명세서에서 말하는 테스터는 가장 넓은 의미로 사용하고 있으며 믹스드 테스터와 같은 특정 테스터만을 한정하는 것이 아니다.
- <35> 본 발명은 그 정신 및 필수특징사항을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면, 상기 바람직한 실시예에 있어서는 테스터가 믹스드 신호 처리용 테스터이지만, 이는 디지털 신호 처리용 테스터와 같아도 무방하다. 또한, 혼합형 마더 보드 및 DUT 보드의 외관형태는 팔각형이지만, 이는 사각 혹은 원형으로 치환할 수 있는 것이다. 따라서, 아래의 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가 아니다.
- <36> 도 5는 본 발명에 의한 믹스드 신호 처리용 반도체 소자를 전기적으로 검사하기 위한 테스터의 블록도이다.
- <37> 도 5를 참조하면, 본 발명에 의한 반도체 테스터의 구성은, 서로 다른 제조업체에 의해 만들어진 다른 모델형의 테스터(100), 상기 다른 모델형 테스터(100)와 신호 케이블(102)을 통해 연결되고 DUT가 연결되는 통로 역할을 수행하는 테스트 헤드(110), 상기 다른 모델형 테스터(100)에서 테스트 헤드(110)의 구조(configuration)를 하나로 통합할 수 있도록 만들어진 혼합형 마더 보드(120), 상기 다른 모델형 테스터(100)에서 각각 동일 제품의 반도체 소자를 전기적으로 검사할 때, 테스터의 모델형에 관계없이 상기 혼합형 마더 보드(120) 위에서 공통적으로 사용할 수 있는 DUT 보드(130)로 이루어진다. 상기 테스트 헤드(110) 위에는 로드 보드 탑재부(120)가 있다.
- <38> 상기 테스터(100)는 믹스드 신호 처리용 테스터로서, 각 제조업체별로 사양(configuration) 및 외관 구조가 조금씩 차이가 있다. 본 발명에서는 3개의 서로 다른 제조업체에서 만들어진 테스터에 공용으로 사용되는 로드 보드를 실시예로 보여준다.

- <39> 상기 테스트 헤드(110)는, 각 제조업체별 사양에 적합하도록 핀 맵(pin map)의 연결단자가 모여 있는 부분을 가리킨다. 따라서, 테스트 헤드(110)의 구조 역시 각 제조업체별로 약간씩 차이를 갖는다.
- <40> 상기 혼합형 마더 보드(120)는 종래 기술에서 보여진 3개의 로드 보드를 하나로 통합할 수 있도록 만들어진 다. 즉, 서로 다른 제조업체에서 만들어진 다른 모델형 테스터에 있는 로드 보드의 구조를 모두 수용하고, 이를 재배치하여 하나로 통합한 형태이다. 상세한 사항을 추후에 관련도면을 참조하여 상세히 설명하기로 한다.
- <41> 따라서, 종래 기술에서는 서로 다른 형태의 로드 보드(도2 내지 도 4의 18A, 18B, 18C)를 사용하였으나, 본 발명에서는 혼합형 마더보드(120)와 DUT 보드(130)가 결합된 동일한 형태의 로드 보드(300)를 사용한다. 이것이 본 발명의 목적을 달성을 주요한 수단이 된다.
- <42> 상기 혼합형 마더 보드(120)는 각각의 다른 모델형 테스터(100)에서 동일한 형태의 것이 사용되고, 단지 로드 보드 탑재부(112)와 연결하는 방법이 각각의 다른 모델형 테스터(100)에서 서로 다르다. 또한 상기 혼합형 마더 보드(120)는 검사되는 반도체 소자의 제품 형태가 바뀌더라도 새로운 것으로 바뀌지 않는다. 반면, 상기 DUT 보드(130)는 검사되는 반도체 소자가 다른 제품으로 바뀌면, 새로운 것으로 바뀌게 된다.
- <43> 도 6은 본 발명에 따라 서로 다른 제조업체에 의해 만들어진 다른 모델형 테스터에 공용으로 사용 가능한 로드 보드의 블록도이다.
- <44> 도 8을 참조하면, 본 발명에 의한 로드 보드(300)의 구성은, 혼합형 마더 보드(120), 상기 혼합형 마더 보드(120) 위에 만들어지고 상기 DUT 보드(130)와 전기적으로 연결되는 커넥터(122), 상기 혼합형 마더 보드(120) 위에 만들어지고 상기 DUT 보드(130)와 기계적인 결

합을 가능케 하는 락킹 수단(124) 및 상기 혼합형 마더 보드(120) 위에서 작동되는 DUT 보드(130)를 포함한다. 따라서, 종래에는 테스터 모델별로 혹은 제품별로 다른 형태의 로드 보드(도1의 18)가 사용되었으나, 본 발명에서 제품별로, 테스터의 모델형에 관계없이 동일한 형태를 사용할 수 있다. 본 발명에 의한 로드 보드(300)는 혼합형 마더 보드(120)와 DUT 보드(130)가 결합된 형태이다.

<45> 도 7은 상기 도 6의 개략적인 단면도이다.

<46> 도 7을 참조하면, 혼합형 마더 보드(120) 위에 락킹 수단(124)을 통해 DUT 보드(130)가 기계적으로 결합된다. 상기 기계적인 결합시 혼합형 마더 보드(130) 위에 만들어진 컨넥터(122)는 혼합형 마더 보드(130)에 있는 회로의 출력단자와 DUT 보드의 입력단자를 서로 전기적으로 연결시킨다. 본 발명에서는 상기 락킹 수단(124)을 설계할 때, 상기 락킹 수단(124)의 기계적 마모성을 고려하고, 결합의 용이성을 고려하였다. 또한, 상기 컨넥터(122)는 전기적 신호 연결의 안정성을 높이기 위해 1GHz까지의 고주파 영역에서도 안정되게 동작될 수 있는 것을 사용하였다. 또한, DUT 보드(130)는 종래의 로드 보드의 크기(A사: 500 X 500mm, B사: 400 X 400mm, C사: 330 X 330mm)보다 작은 200 X 200mm 크기로 설계하여 로드 보드 구입가격을 최소한으로 줄였다.

<47> 도 8은 상기 도 7에서 락킹 유닛을 설명하기 위한 확대 단면도이다.

<48> 도 8을 참조하면, 상기 락킹 유닛(124)이 상기 혼합형 마더 보드(120)와 DUT 보드(130)를 결합시키는 방법은, 먼저 혼합형 마더 보드(120)에 있는 가이드 핀(126)이 DUT 보드(130)에 있는 가이드 핀 구멍(136)에 삽입되어 전체적인 정렬이 이루어진다. 이어서 도면과 같이 락킹 걸쇠(128)가 화살표 방향으로 움직여 락킹 걸쇠 하판(bottom plate, 129)으로 힘을 전달하면, 도면의 F 방향으로 기계적인 힘이 발생하여 혼합형 마더 보드(120)와 DUT 보드(130)를 서로 결

합시키게 된다. 상기 F 방향의 힘은 상기 혼합형 마더 보드(120) 위에 있는 컨넥터(122)와 DUT 보드(130)의 전기적 연결을 가능하게 한다.

<49> 도 9는 본 발명에 의한 로드 보드에서 혼합형 마더 보드의 개념을 설명하기 위해 도시한 평면도이다.

<50> 도 9를 참조하면, 본 발명에 의한 혼합형 마더 보드(120)를 제작하는 기본 개념은, 서로 다른 모델형 테스터에서 테스트 헤드와 연결되는 로드 보드(18A, 18B, 18C)의 구조를 모두 수용하고, 이를 하나로 통합하는 형태이다. 본 발명에 의한 혼합형 마더 보드(120)에서 참조부호 142는 아날로그 채널 단자를 가리키고, 144는 디지털 채널 단자를 각각 가리킨다. 상기 다른 모델형 테스터에서 아날로그 채널 단자(142)는 동일하기 때문에 직접 연결하는 방식을 택했다. 상기 디지털 채널 단자(144)는 상기 다른 모델형 테스터에서 각각 다른 구조이기 때문에 이를 재배치하여 모두를 수용할 수 있는 방식을 택했다. 상기 혼합형 마더 보드(120) 위에는 DUT 보드(130)가 상술한 도 7 및 도 8과 같이 결합된다. 상기 DUT 보드(130) 위에는 통상적인 방법에 의하여 만들어진 소켓부(140)가 존재한다.

<51> 도 10 및 도 11은 본 발명에 의한 혼합형 마더 보드의 평면도 및 밀면도이다.

<52> 도 10 및 도 11을 참조하면, 전기적 신호가 테스터에서 혼합형 마더 보드(120) 방향으로 전달되면, 혼합형 마더보드의 입력단자(127)는 로드 보드 탑재부(도1의 112)로 전기적 신호를 수신한다. 또한, 상기 전달받은 전기적 신호는 혼합형 마더보드 출력단자인 컨넥터(122)를 통해 A 영역에 락킹 수단(124)에 결합되는 DUT 보드로 전달한다.

<53> 상기 혼합형 마더 보드(120) 중앙에는 구멍(123)이 뚫려 있다. 또한 DUT 보드가 결합되는 A 영역 내에는 가이드 핀(126)이 4곳의 위치에 있기 때문에 DUT 보드가 결합될 때에 전기적

연결을 위한 정렬이 수행된다. 상기 혼합형 마더 보드 입력단자(127)는 앞면에서는 360도 전 방향으로 펼쳐 있는 형태이지만, 뒷면에서는 일정 영역(127')으로 운집되어 있는 형태이다. 이러한 위치 변화는 혼합형 마더 보드(120)가 다층형태의 인쇄회로기판이기 때문에 쉽게 달성할 수 있다. 본 발명에 의한 혼합형 마더 보드(120)는 취급이나 보관시 파손을 방지하기 위해 정전기 방지용 커버에 보호되어 운용되는 것이 바람직하다.

<54> 도 12 및 도 13은 본 발명에 의한 DUT 보드의 평면도 및 밀면도이고, 도 14는 본 발명에 의한 DUT 보드에 사용되는 릴레이(relay)를 설명하기 위해 도시한 사시도이다.

<55> 도 12 내지 도 14를 참조하면, 본 발명에 의한 상기 DUT 보드(130)는 다른 모델형의 테스터에서 공용으로 사용할 수 있는 형태로서, 내부에는 가이드 핀 구멍(136), 소켓부(140), 입력단자(132)를 포함한다. 상기 가이드 핀 구멍(136)은 혼합형 마더 보드(120)와 결합할 때에 정렬을 위해 만들어진 것이다.

<56> 상기 소켓부(140)는 검사되는 반도체 소자 즉 DUT가 탑재되어 고정되는 부분이다. 본 발명에서는 2개의 소켓부(140)를 예로 들었으나 이는 당업자 수준에서 개수를 증가시키거나 감소시키는 변형을 할 수 있다. 또한 상기 소켓부(140)에 만들어지는 소켓의 형태는 검사되는 반도체 소자의 외관 형태에 따라서 변화된다. 상기 외관 형태는 웨이퍼 상태 혹은 반도체 패키지 형태 등을 말한다.

<57> 상기 DUT 보드의 입력단자(132)는 혼합형 마더 보드(120)의 커넥터(122)와 연결되는 부분이다. 만약, 전기적 신호가 테스터에서 DUT 보드(130)로 전달되면 DUT 보드(120)는 전기적 신호를 입력단자(132)로 수신하여 이를 소켓부(140)에 있는 DUT(150)로 전달한다.

- <58> 또한, 상기 DUT 보드(130)의 뒷면에 있는 소켓부에는 다수개의 릴레이(134)가 사용된다. 본 발명에 의한 DUT 보드(130)는 크기가 200 X 200mm로 종래의 로드 보드 크기와 비교하여 상대적으로 작고, 서로 다른 모델형의 믹스드 신호 처리용 테스터에서 공용으로 사용이 가능하기 때문에, 전반적으로 필요 개수를 줄일 수 있다. 따라서 전체적으로 로드 보드를 구입하고 운용하는데 필요한 비용을 줄일 수 있다. 이를 위하여 본 발명에서는 릴레이(134)의 형태를 종래 기술에서 사용하던 수평형 릴레이(24) 대신에 수직형 릴레이(134)를 사용하여 DUT 보드(120)의 크기를 최소화시킬 수 있도록 하였다.
- <59> 도 15는 본 발명에 따라 혼합 마더 보드 위에 DUT 보드가 탑재되었을 때의 평면도이다.
- <60> 도 15를 참조하면, 혼합형 마더 보드(120) 위에 존재하는 가이드 핀(126) 및 락킹 수단(124)을 통해 DUT 보드(130)가 결합된 형태를 보여준다. 본 발명에 의한 로드 보드의 구조에서 전기적 신호의 흐름은, 테스터에서 테스트 헤드로 전달되고, 테스트 헤드에서 로드 보드 탑재부(도1의 112)로 전달되고, 로드 보드 탑재부에서 혼합형 마더 보드(120)의 입력단자(127)로 전달되고, 혼합형 마더 보드(120)의 입력단자(127)에서 DUT 보드(120)의 입력단자(132)로 전달되고, DUT 보드(120)의 입력단자(132)에서 소켓부(140)에 탑재된 DUT(150)로 전달된다. 또한 DUT(150)에 대한 전기적 신호의 입력이 끝나면, 전기적 신호의 출력은 반대 방향으로 이루어져 테스터에 도달한다.
- <61> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

<62> 따라서, 상술한 본 발명에 따르면, 첫째, 서로 다른 제조업체에서 만들어진 다른 모델 형 테스터에서도 동일한 로드 보드를 사용할 수 있기 때문에 로드 보드의 호환성을 개선할 수 있다. 둘째, DUT 보드의 크기를 최소화하고, 필요 개수를 줄여 로드 보드 구입 및 운용 비용을 절감할 수 있다. 셋째, 종래에는 하나의 반도체 소자 제품을 전기적으로 검사할 때, 3종류의 로드 보드를 엔지니어가 설계하고 관리해야 하였으나, 본 발명에 의하면 한 개의 로드 보드를 관리하기 때문에 검사 엔지니어의 작업량을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

서로 다른 제조업체에 의해 만들어진 다른 모델형의 테스터(tester);

상기 다른 모델형 테스터의 일단에 존재하고 DUT가 연결되는 통로 역할을 수행하는 테스트 헤드(test head);

상기 다른 모델형 테스터에서 테스트 헤드(test head)의 구조(configuration)를 하나로 통합할 수 있도록 만들어진 혼합형 마더 보드(mixed type mother board); 및

상기 다른 모델형 테스터에서 각각 동일 제품의 반도체 소자를 전기적으로 검사할 때, 테스터의 모델형에 관계없이 상기 혼합형 마더 보드 위에서 공통적으로 사용할 수 있는 DUT(Device Under Test) 보드를 구비하는 것을 특징으로 하는 반도체 테스터,

【청구항 2】

제1항에 있어서,

상기 혼합형 마더 보드에 의해 통합되는 테스트 헤드의 구조는 디지털 채널(Digital channel)의 핀 맵(pin map) 및 아날로그 채널(analog channel)의 핀 맵(pin map)을 포함하는 것을 특징으로 하는 반도체 테스터.

【청구항 3】

제1항에 있어서,

상기 다른 모델형 테스터들은 믹스드 신호(Mixed Signal)를 처리할 수 있는 능력이 있는 것을 특징으로 하는 반도체 테스터.

【청구항 4】

제1항에 있어서,

상기 반도체 테스터는 상기 혼합형 마더 보드 위에 상기 DUT 보드를 고정시켜 서로를 전기적으로 서로 연결할 수 있는 락킹 유닛(locking units)을 더 구비하는 것을 특징으로 하는 반도체 테스터.

【청구항 5】

제4항에 있어서,

상기 전기적 연결은 상기 혼합형 마더 보드 위에 있는 컨넥터(connector)를 통해 이루어지는 것을 특징으로 하는 반도체 테스터.

【청구항 6】

제4항에 있어서,

상기 락킹 유닛은 상기 다른 모델형 테스터들에서 각각 동일한 형태인 것을 특징으로 하는 반도체 테스터.

【청구항 7】

제1항에 있어서,

상기 DUT 보드는 제작시 수직형 릴레이(Vertical type relay)를 사용하는 것을 특징으로 하는 반도체 테스터.

【청구항 8】

서로 다른 제조업체에 의해 만들어진 다른 모델형의 테스터를 준비하는 단계;



상기 다른 모델형의 테스터에서 테스트 헤드의 구조들을 각각 하나로 통합할 수 있는 혼합형 마더 보드를 제작하는 단계;

상기 혼합형 마더 보드 위에 테스터의 모델형에 관계없이 공통적으로 사용할 수 있는 DUT 보드를 락킹 유닛으로 고정하는 단계; 및

상기 다른 모델형 테스터에서 동일한 제품의 반도체 소자를 공통형의 DUT 보드를 사용하여 전기적으로 검사하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

【청구항 9】

제8항에 있어서,

상기 혼합형 마더 보드에 의해 통합되는 테스트 헤드들의 구조는 디지털 채널(Digital channel)의 핀 맵(pin map) 및 아날로그 채널(analog channel)의 핀 맵(pin map)을 포함하는 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

【청구항 10】

제8항에 있어서,

상기 다른 모델형 테스터는 믹스드 신호를 검사할 수 있는 능력이 있는 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

【청구항 11】

제8항에 있어서,

상기 락킹 유닛은 상기 다른 모델형 테스터들에서 각각 동일한 형태인 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

【청구항 12】

제8항에 있어서,

상기 혼합형 마더 보드를 제작하는 방법은, 상기 서로 다른 모델형 테스터의 테스트 헤드에 있는 기능을 모두 수용하여 호환시킬 수 있는 구조로 만드는 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

【청구항 13】

제8항에 있어서,

상기 DUT 보드는 수직형 릴레이를 사용하여 만드는 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

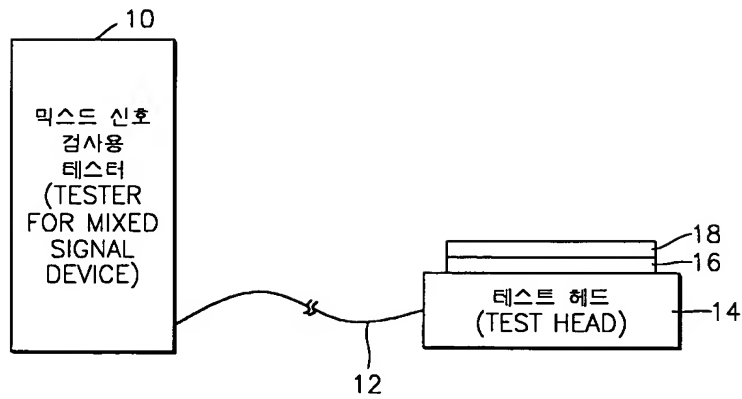
【청구항 14】

제8항에 있어서,

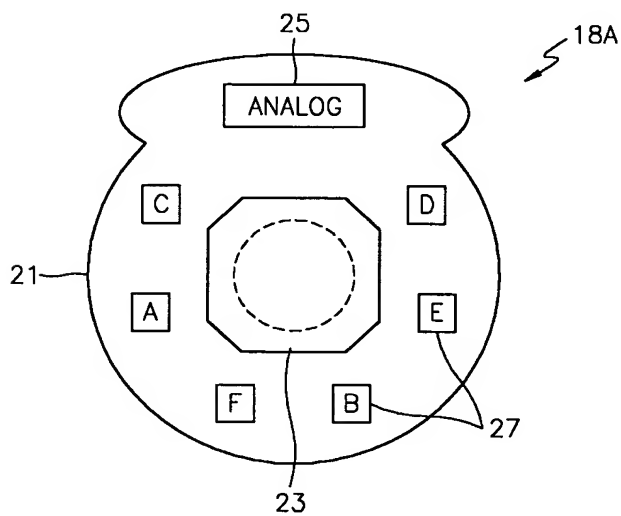
상기 혼합형 마더 보드는 그 표면에 상기 DUT 보드와의 전기적 연결을 위한 컨넥터(connector)가 설치되어 있는 것을 특징으로 하는 반도체 소자의 전기적 검사방법.

【도면】

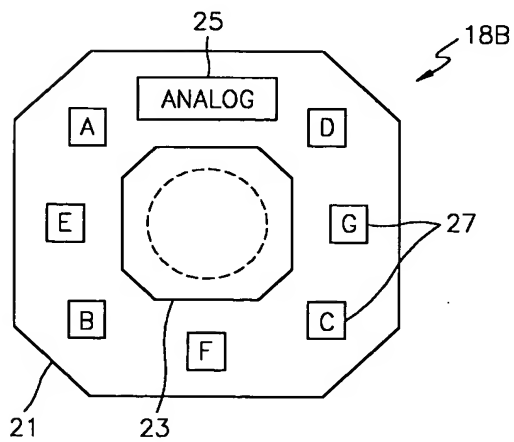
【도 1】



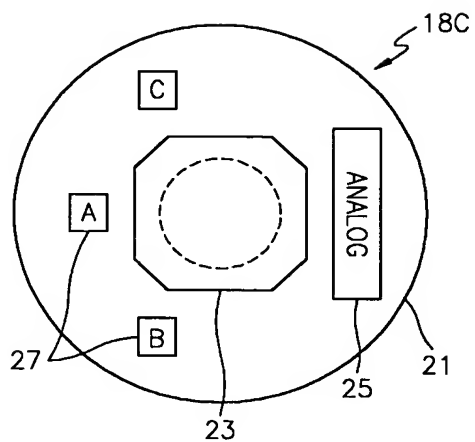
【도 2】



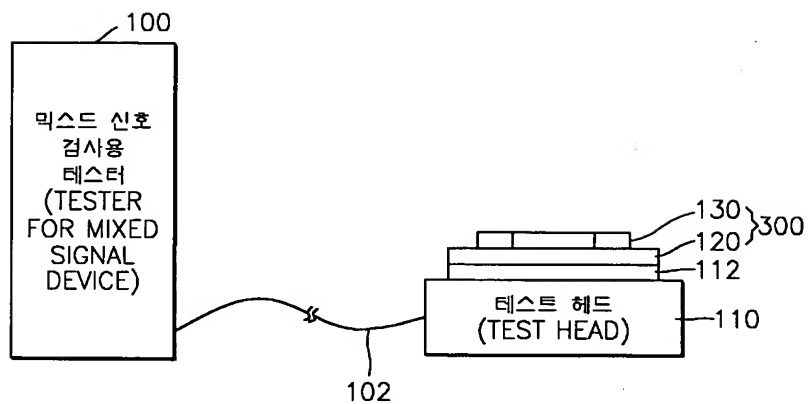
【도 3】



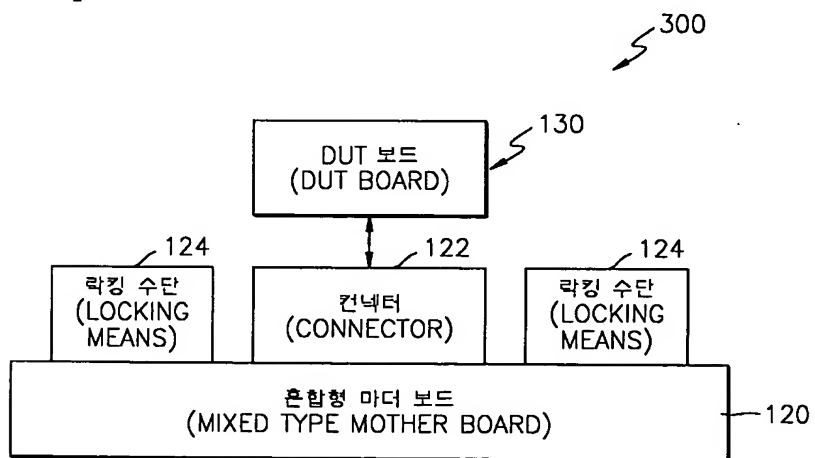
【도 4】



【도 5】

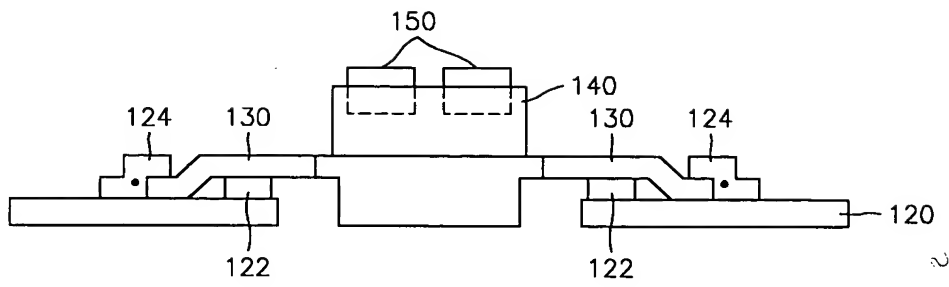


【도 6】

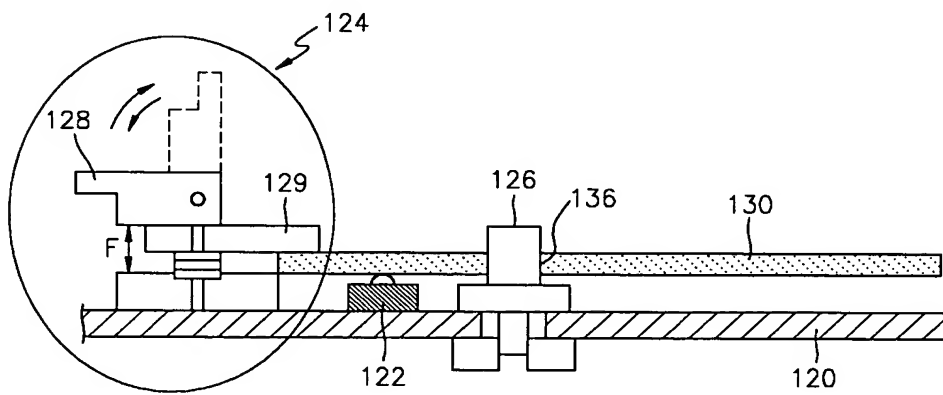




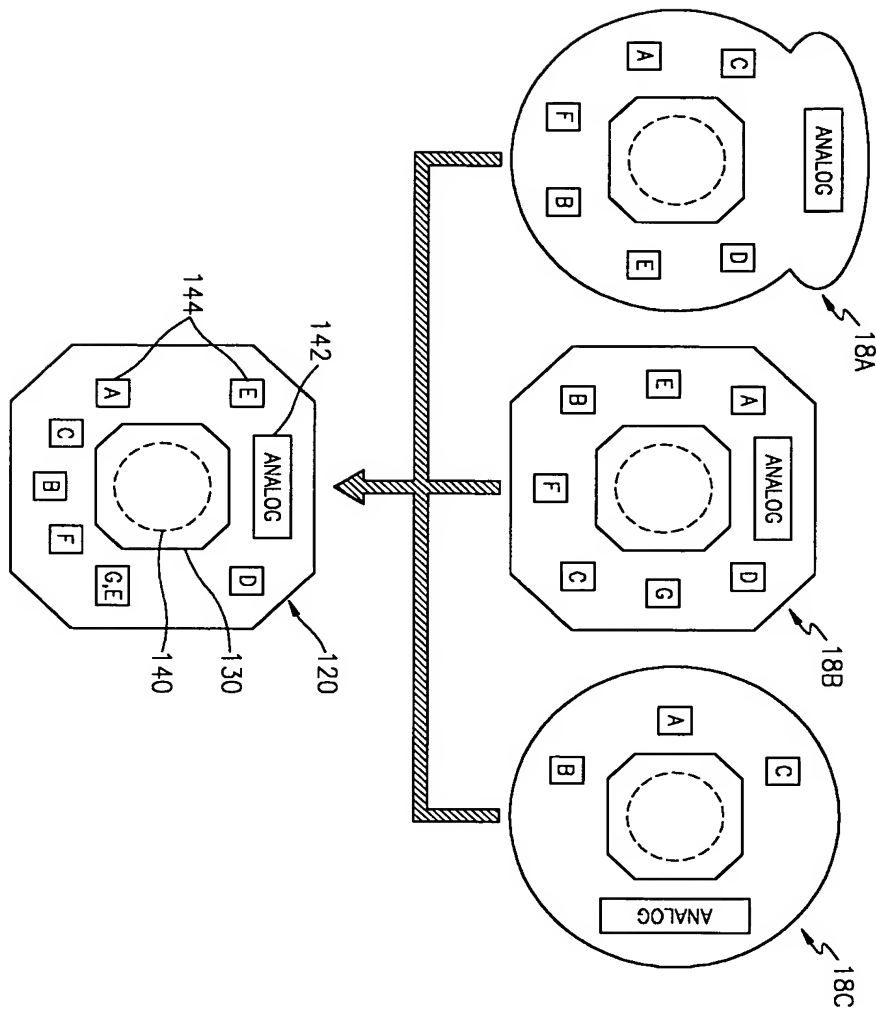
【도 7】



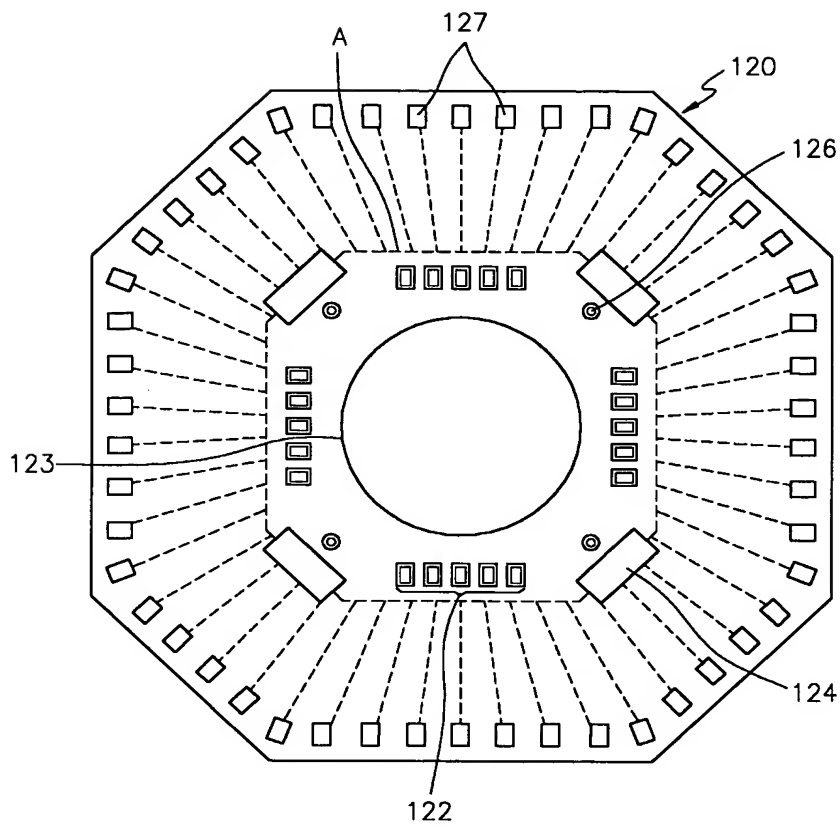
【도 8】



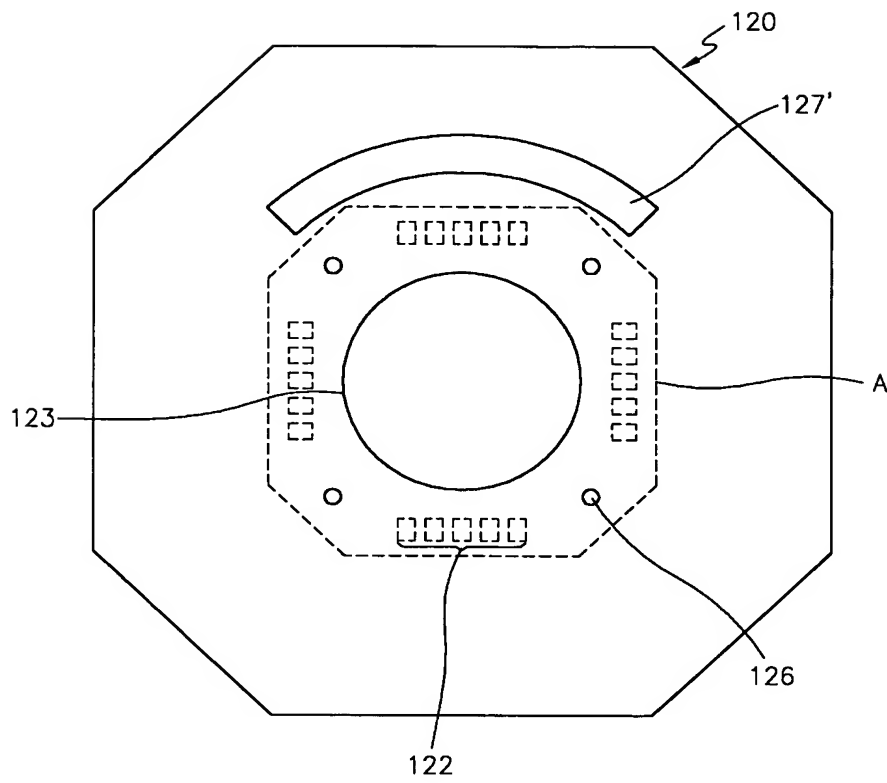
【도 9】



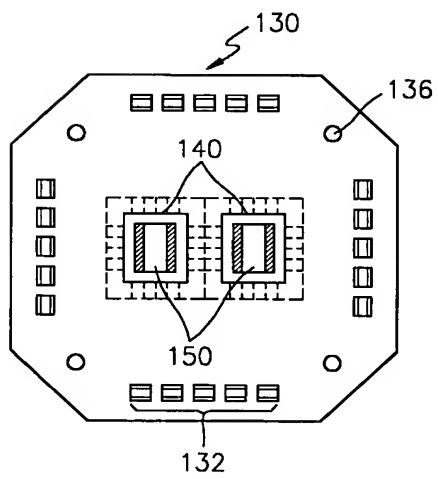
【도 10】



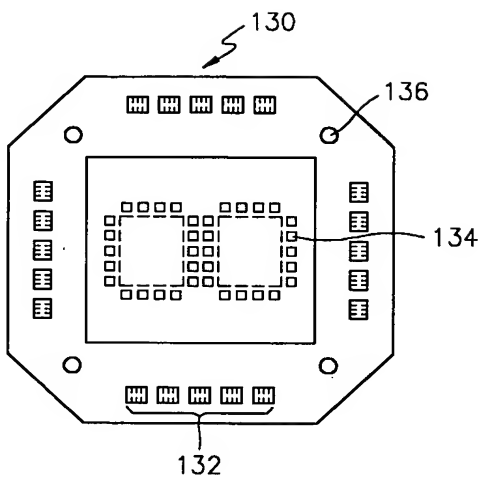
【도 11】



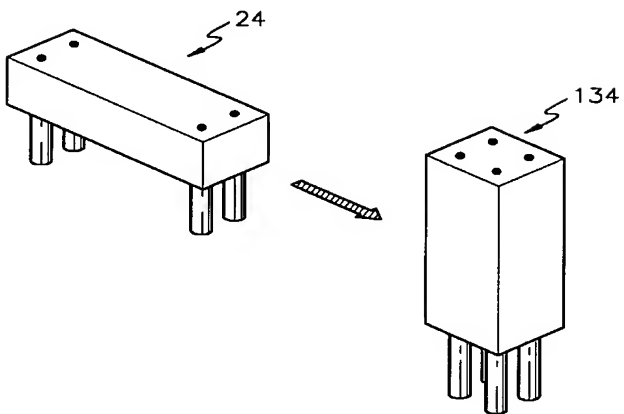
【도 12】



【도 13】



【도 14】



【도 15】

